

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

PAT-NO: JP02001145024A
DOCUMENT-IDENTIFIER: JP 2001145024 A
TITLE: PHOTSENSOR CIRCUIT
PUBN-DATE: May 25, 2001

INVENTOR-INFORMATION:

NAME	COUNTRY
<u>SHINOZUKA, NORIYUKI</u>	N/A
TAKEBE, KATSUHIKO	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
<u>HONDA</u> MOTOR CO LTD	N/A

APPL-NO: JP11359622

APPL-DATE: November 12, 1999

INT-CL (IPC): H04N005/335, H01L027/146 , H04N001/028

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a photosensor circuit having a shutter function that can obtain a pixel signal with excellent reproducibility.

SOLUTION: The photosensor circuit consists of a photosensor element (PD) that senses an optical signal to convert it into an electric signal, a 1st MOS transistor (TR) (Q1) to charge/discharge electric charges in a parasitic capacitance (C1) of the photosensor element, a capacitor (C2) that stores a terminal voltage of the photosensor element as a pixel signal, a 2nd MOS TR (Q2) that transfers the charge in the parasitic capacitance of the photosensor element to the capacitor, a 3rd MOS TR (Q3) that amplifies the terminal voltage

of the capacitor, and a 4th MOS TR (Q4) that selectively outputs the amplified pixel signal. The photosensor circuit is configured such that the 1st and 2nd TRs are conductive for a prescribed time before the pixel signal is stored so as to charge/discharge the parasitic capacitance of the photosensor element and the capacitor and make the terminal voltage the same, and the 2nd TR is interrupted after the lapse of a prescribed storage time to open the capacitor and then the 4th TR is turned on.

COPYRIGHT: (C)2001,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-145024

(P2001-145024A)

(43)公開日 平成13年 5月25日 (2001. 5. 25)

(51)Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 4 N 5/335

H 0 4 N 5/335

E

H 0 1 L 27/146

1/028

Q

H 0 4 N 1/028

H 0 1 L 27/14

A

A

審査請求 未請求 請求項の数3 書面 (全 7 頁)

(21)出願番号

特願平11-359622

(22)出願日

平成11年11月12日 (1999. 11. 12)

(71)出願人 000005326

本田技研工業株式会社

東京都港区南青山二丁目1番1号

(72)発明者 篠塚 典之

埼玉県狭山市新狭山1丁目10番地1

ホンダエンジニアリング株式会社内

(72)発明者 武部 克彦

埼玉県狭山市新狭山1丁目10番地1

ホンダエンジニアリング株式会社内

(74)代理人 100077746

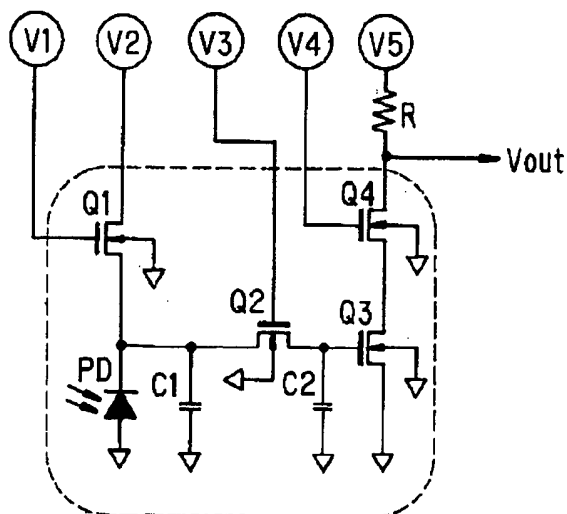
弁理士 鳥井 清

(54)【発明の名称】 光センサ回路

(57)【要約】

【目的】シャッタ機能を有する光センサ回路にあって、再現性の良い画素信号を得ることができるようにする。

【構成】 光信号を検知して電気信号に変換する光センサ素子 (PD) と、その光センサ素子の寄生容量 (C1) の電荷を充放電するための第1のMOS型トランジスタ (Q1) と、前記光センサ素子の端子電圧を画素信号として蓄積するためのコンデンサ (C2) と、前記光センサ素子の寄生容量の電荷をそのコンデンサへ転送するための第2のMOS型トランジスタ (Q2) と、前記コンデンサの端子電圧を増幅するための第3のMOS型トランジスタ (Q3) と、その増幅された画素信号を選択的に出力させる第4のMOS型トランジスタ (Q4) とからなり、画素信号を蓄積する前に一定時間第1のトランジスタと第2のトランジスタとをオンにして、前記光センサ素子の寄生容量と前記コンデンサとの充放電を行って両者の端子電圧を同じにしたのち、一定の蓄積時間の経過後に第2のトランジスタをオフにして前記コンデンサをオープン状態としたうえで、第4のトランジスタをオンにするように構成する。



【特許請求の範囲】

【請求項1】 光信号を検知して電気信号に変換する光センサ素子（PD）と、その光センサ素子の寄生容量（C1）の電荷を充放電するための第1のMOS型トランジスタ（Q1）と、前記光センサ素子の端子電圧を画素信号として蓄積するためのコンデンサ（C2）と、前記光センサ素子の寄生容量の電荷をそのコンデンサへ転送するための第2のMOS型トランジスタ（Q2）と、前記コンデンサの端子電圧を増幅するための第3のMOS型トランジスタ（Q3）と、その増幅された画素信号を選択的に出力させる第4のMOS型トランジスタ（Q4）とからなり、画素信号を蓄積する前に一定時間第1のMOS型トランジスタと第2のMOS型トランジスタとをオンにして、前記光センサ素子の寄生容量と前記コンデンサとの充放電を行って両者の端子電圧を同じにしたのち、一定の蓄積時間の経過後に第2のMOS型トランジスタをオフにして前記コンデンサをオープン状態としたうえで、第4のMOS型トランジスタをオンにするようにしたことを特徴とする光センサ回路。

【請求項2】 光信号を検知して電気信号に変換する光センサ素子（PD）と、その光センサ素子のセンサ電流を弱反転状態で対数特性を有するセンサ電圧に変換する第1のMOS型トランジスタと、光信号の検出時にその第1のMOS型トランジスタのドレイン電圧を所定時間だけ低い電圧に設定してソースに接続された前記光センサ素子の寄生容量（C1）に蓄積された電荷の充電を制御する初期設定手段と、前記光センサ素子の端子電圧を画素信号として蓄積するためのコンデンサ（C2）と、前記光センサ素子の寄生容量の電荷をそのコンデンサへ転送するための第2のMOS型トランジスタ（Q2）と、前記コンデンサの端子電圧を増幅するための第3のMOS型トランジスタ（Q3）と、その増幅された画素信号を選択的に出力させる第4のMOS型トランジスタ（Q4）とからなり、画素信号を蓄積する前に第2のMOS型トランジスタをオンにするとともに、初期設定手段の電圧をローレベル状態として前記光センサ素子の寄生容量と前記コンデンサの端子電圧をローレベル状態とし、一定時間の経過後に初期設定手段の電圧をハイレベル状態に切り換えて画素信号の蓄積を開始させたのち、一定の蓄積時間の経過後に第2のMOS型トランジスタをオフにして前記コンデンサをオープン状態としたうえで、第4のMOS型トランジスタをオンにするようにしたことを特徴とする光センサ回路。

【請求項3】 イメージセンサの1画素分の構成要素とするようにしたことを特徴とする請求項1または請求項2の記載による光センサ回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、光信号を検知して電気信号に変換する、特にシャッタ機能を有する光センサ回

路に関する。

【0002】

【従来の技術】 イメージセンサの1画素分の構成要素となるシャッタ機能（サンプルアンドホールド機能）を有する光センサ回路としては、図1に示すように、光信号を検知して電気信号に変換する光センサ素子としてのフォトダイオードPDと、そのフォトダイオードPDの寄生容量であるコンデンサC1の電荷を充放電するためのMOS型トランジスタQ1と、フォトダイオードPDの端子電圧を画素信号として蓄積するためのコンデンサC2と、コンデンサC1の電荷をコンデンサC2へ転送するためのMOS型トランジスタQ2と、コンデンサC2の端子電圧を増幅するためのMOS型トランジスタQ3と、その増幅された画素信号を選択的に出力させるMOS型トランジスタQ4とからなっている。

【0003】 このように構成された光センサ回路において、従来では、図9に示すような各部信号のタイミングをもって動作させるようにしている。

【0004】 すなわち、タイミングt1～t2において駆動電圧V1をハイレベルにすることによってトランジスタQ1をオン状態にし、フォトダイオードPDの寄生容量であるコンデンサC1に電荷を充電する。そして、タイミングt2～t3において、コンデンサC1に充電された電荷は、フォトダイオードPDに光が入射することによって流れるセンサ電流に比例した電荷が放電される。

【0005】 次に、タイミングt3～t4においてトランジスタQ2をオンにして、コンデンサC1の電荷をコンデンサC2に転送する。そして、タイミングt4～t5においてトランジスタQ4をオンにすると、トランジスタQ3によって制限されるが電源V5から電流が供給されて、抵抗Rを介して画素信号がVoutとして出力される。

【0006】 なお、この光センサ回路の構成にあっては、タイミングt4以後にトランジスタQ2がオフ状態になるとコンデンサC2の電荷が保持されることになり、次にトランジスタQ2をオンにすることによってコンデンサC1の電荷をコンデンサC2に転送するまではコンデンサC2の電荷は一定となる。つまり、トランジスタQ2がオフの期間（コンデンサC2の保持期間）は、コンデンサC1の端子電圧Vc1が変化しても画素信号としては同じ出力が得られることになる。

【0007】 以上のような光センサ回路とすることによって、画素単位でシャッタ機能をもたせることが可能となるため、シャッタの開放時間の制御などが可能になる。

【0008】 また、図10はシャッタ機能を有する光センサ回路の他の構成を示しており、ここでは特に、コンデンサC2の電荷を充放電するためのMOS型トランジスタQ5が設けられている。

【0009】そして、このように構成された光センサ回路であっても、前述の場合と同様に動作するが、この場合は特に、図11に示すように、タイミング $t_6 \sim t_7$ においてトランジスタQ5をオンにすると、コンデンサC2の電荷が放電されて画素信号が初期化されるようになっている。

【0010】

【発明が解決しようとする課題】図1に示すように構成された光センサ回路では、トランジスタQ2の働きによってコンデンサC1の端子電圧 V_{c1} をコンデンサC2に転送できるが、コンデンサC2の電荷は次にトランジスタQ2がオンになるまで保持されている。したがって、コンデンサC1の端子電圧 V_{c1} とコンデンサC2の端子電圧 V_{c2} が異なる場合は、トランジスタQ2がオンとなる前のコンデンサC1の端子電圧 V_{c1} がコンデンサC2に正確に反映されず、再現性が悪いという問題がある。

【0011】光信号の検知を連続して行わせたときのコンデンサC1およびコンデンサC2に蓄積される電荷の状態を、図12にモデル的に示している。

【0012】また、図10に示すように構成された光センサ回路では、コンデンサC2の電荷がトランジスタQ5によって充放電可能なため、コンデンサC1の端子電圧 V_{c1} は再現性良くコンデンサC2に転送されるが、コンデンサC2の信号分はコンデンサC1の信号分より小さくなってしまふという問題がある。

【0013】そのときのコンデンサC1およびコンデンサC2に蓄積される電荷の状態を、図13にモデル的に示している。

【0014】

【課題を解決するための手段】本発明は、図1に示す光センサ回路にあって、コンデンサC2の電圧再現性を防止するべく、トランジスタQ1をオンにしてフォトダイオードPDの寄生容量であるコンデンサC1の充放電を行わせるに際して、トランジスタQ2をオンにしてコンデンサC2の充電状態を初期化するようにしている。

【0015】また、本発明は、コンデンサC2の電圧低下を防止するべく、シャッタが開放状態となる期間中は、サンプルアンドホールド用のトランジスタQ2をオンにして、コンデンサC1の端子電圧 V_{c1} がコンデンサC2に常時伝達されるようにしている。

【0016】そして、本発明では、ダイナミックレンジが広く、かつ再現性良く画素信号が得られるようにするべく、シャッタ機能に加えて電源電圧V2を切り換えることによる対数動作を行わせる初期設定手段をとるようにしている。

【0017】

【実施例】本発明に係る光センサ回路は、図1に示すように、光信号を検知して電気信号に変換する光センサ素子としてのフォトダイオードPDと、そのフォトダイオ

ードPDの寄生容量であるコンデンサC1の電荷を充放電するためのMOS型トランジスタQ1と、フォトダイオードPDの端子電圧を画素信号として蓄積するためのコンデンサC2と、コンデンサC1の電荷をコンデンサC2へ転送するためのMOS型トランジスタQ2と、コンデンサC2の端子電圧を増幅するためのMOS型トランジスタQ3と、その増幅された画素信号を選択的に出力させるMOS型トランジスタQ4とによって構成されている。

10 【0018】このように構成された光センサ回路において、本発明では、特に、図2に示すように、各部駆動の制御信号を与えることにより、光信号に応じた電気信号が得られるようにしている。

【0019】すなわち、タイミング $t_1 \sim t_2$ において駆動電圧V1をハイレベルにすることによってトランジスタQ1をオン状態にし、フォトダイオードPDの寄生容量であるコンデンサC1に電荷を充電する。そして、タイミング $t_2 \sim t_3$ において、コンデンサC1に充電された電荷は、フォトダイオードPDに光が入射することによって流れるセンサ電流に比例した電荷が放電される。

【0020】この間のタイミング $t_1 \sim t_3$ （シャッタ開放期間）ではトランジスタQ2もオン状態になっており、コンデンサC1の端子電圧 V_{c1} とコンデンサC2の端子電圧 V_{c2} とが同一になっている。

【0021】そして、タイミング t_3 におけるトランジスタQ2のオフによってコンデンサC2の端子電圧 V_{c2} は保持状態になる。

30 【0022】次に、タイミング $t_4 \sim t_5$ においてトランジスタQ4をオンにすると、トランジスタQ3によって制限されるが電源V5から電流が供給されて、抵抗Rを介して画素信号がVoutとして出力される。

【0023】なお、この光センサ回路の構成にあっては、タイミング t_3 以後にトランジスタQ2がオフ状態になるとコンデンサC2の電荷が保持されることになり、次にトランジスタQ2をオンにすることによってコンデンサC1の電荷をコンデンサC2に転送するまではコンデンサC2の電荷は一定となる。つまり、トランジスタQ2がオフの期間（コンデンサC2の保持期間）は、コンデンサC1の端子電圧 V_{c1} が変化しても画素信号としては同じ出力が得られることになる。

【0024】したがって、図1に示す光センサ回路を図2に示すように動作させることによって、4トランジスタ構成でありながら再現性の良い画素信号Voutを得ることができるようになる。

【0025】また、図3は本発明による光センサ回路の他の実施例を示している。

50 【0026】この実施例では、特に、MOS型トランジスタQ1'として、フォトダイオードPDのセンサ電流を弱反転状態で対数特性をもって検出電圧に変換するも

のを用いるようにしている。そして、そのトランジスタQ1'のドレイン側の電源電圧V2を所定時間だけ定常値(ハイレベル)よりも低い電圧値(ローレベル)に設定して、ソース側に接続されたフォトダイオードPDの寄生容量であるコンデンサC1に蓄積された電荷を放電させて初期化する電圧コントローラ1(初期設定手段)を設けるようにしている。

【0027】このように構成された光センサ回路の動作について、図4に示す各部信号のタイムチャートとともに、以下説明をする。

【0028】電源電圧V1は、トランジスタQ1'に流れる電流が電源電圧V2をハイレベル状態としたときに弱反転状態で対数特性を有する検出電圧に変換される電圧値に設定されている。

【0029】この状態において、タイミングt1〜t2において駆動電圧V2をローレベルにすると、トランジスタQ1'のドレイン・ソース間の電圧が大きくなることからトランジスタQ1'はオン状態となり、フォトダイオードPDの寄生容量であるコンデンサC1に電荷を放電させる。

【0030】次に、t2の時点で駆動電圧V2がハイレベルに切り換わり、タイミングt2〜t3において、フォトダイオードPDに流れるセンサ電流とトランジスタQ1'から供給される電流がつり合うような電圧でコンデンサC1に電荷が充電される。

【0031】このとき、トランジスタQ1'に流れる電流は弱反転状態で対数特性を有する検出電圧に変換されているため、コンデンサC1の端子電圧Vc1はフォトダイオードPDに入射した光量を対数変換出力したものとなる。

【0032】その間のタイミングt1〜t3(シャッタ開放期間)ではトランジスタQ2もオン状態になっており、コンデンサC1の端子電圧Vc1とコンデンサC2の端子電圧Vc2とは同一になっている。

【0033】そして、タイミングt3におけるトランジスタQ2のオフによってコンデンサC2の端子電圧Vc2は保持状態になる。

【0034】次に、タイミングt4〜t5においてトランジスタQ4をオンにすると、トランジスタQ3によって制限されるが電源V5から電流が供給されて、抵抗Rを介して画素信号がVoutとして出力される。

【0035】なお、この光センサ回路の構成にあっては、タイミングt3以後にトランジスタQ2がオフ状態になるとコンデンサC2の電荷が保持されることになり、次にトランジスタQ2をオンにすることによってコンデンサC1の電荷をコンデンサC2に転送するまではコンデンサC2の電荷は一定となる。つまり、トランジスタQ2がオフの期間(コンデンサC2の保持期間)は、コンデンサC1の電圧が変化しても画素信号としては同じ出力が得られることになる。

【0036】したがって、図3に示す光センサ回路を図4に示すように動作させることによって、残像の影響がなく、かつダイナミックレンジの広い対数出力を有するシャッタ機能を実現できるようになる。

【0037】以上説明した本発明による光センサ回路を1画素分の構成要素として、それを一次元または二次元状に配設することによってイメージセンサを構成することができるようになる。

【0038】図5は、図1に示す光センサ回路を1画素として二次元のマトリクス状に配設したときのイメージセンサの構成例を示している。図中、2は各画素Sに共通に設けられた画素選択回路であり、3は各画素Sの画素信号を順次出力させるための信号選択回路である。

【0039】図6は、このような構成によるイメージセンサの各部信号のタイムチャートを示している。

【0040】この場合には、特に、タイミングt4〜t5において、マトリクス状に配された各画素Sの読出し走査が行われる。その際、各画素Sとしての光センサ回路におけるトランジスタQ4をオンにすると、トランジスタQ3によって制限されるが電源V5から電流が各画素に供給され、各画素Sの行に接続された抵抗Rを介して画素信号Voutとして出力されることになる。

【0041】したがって、このような構成によれば、4トランジスタ構成でありながら再現性の良い画素信号Voutが得られるようになる。

【0042】図7は、図3に示す光センサ回路を1画素として二次元のマトリクス状に配設したときのイメージセンサの構成例を示している。図中、1は各画素Sに共通に設けられた電圧コントローラであり、2は各画素Sに共通に設けられた画素選択回路であり、3は各画素Sの画素信号を順次出力させるための信号選択回路である。

【0043】図8は、このような構成によるイメージセンサの各部信号のタイムチャートを示している。

【0044】この場合にあっては、前述の場合と同様に、タイミングt4〜t5においてマトリクス状に配された各画素Sの読出し走査が行われる。

【0045】なお、図6および図8に示すタイムチャートにあっては、蓄積時間すなわち電源電圧V3がハイレベルになっているシャッタ開放期間をt4の時点まで長く設定することが可能である。

【0046】

【発明の効果】以上、本発明は、光信号を検知して電気信号に変換する光センサ素子(PD)と、その光センサ素子の寄生容量(C1)の電荷を充放電するための第1のMOS型トランジスタ(Q1)と、前記光センサ素子の端子電圧を画素信号として蓄積するためのコンデンサ(C2)と、前記光センサ素子の寄生容量の電荷をそのコンデンサへ転送するための第2のMOS型トランジスタ(Q2)と、前記コンデンサの端子電圧を増幅するた

めの第3のMOS型トランジスタ(Q3)と、その増幅された画素信号を選択的に出力させる第4のMOS型トランジスタ(Q4)とからなる光センサ回路にあって、画素信号を蓄積する前に一定時間第1のMOS型トランジスタと第2のMOS型トランジスタとをオンにして、前記光センサ素子の寄生容量と前記コンデンサとの充放電を行って両者の端子電圧を同じにしたのち、一定の蓄積時間の経過後に第2のMOS型トランジスタをオフにして前記コンデンサをオープン状態としたうえで、第4のMOS型トランジスタをオンにするようにしたもので、再現性の良い画素信号を得ることができるという利点を有している。

【0047】また、本発明は、光信号を検知して電気信号に変換する光センサ素子(PD)と、その光センサ素子のセンサ電流を弱反転状態で対数特性を有するセンサ電圧に変換する第1のMOS型トランジスタと、光信号の検出時にその第1のMOS型トランジスタのドレイン電圧を所定時間だけ低い電圧に設定してソースに接続された前記光センサ素子の寄生容量(C1)に蓄積された電荷の充電を制御する初期設定手段と、前記光センサ素子の端子電圧を画素信号として蓄積するためのコンデンサ(C2)と、前記光センサ素子の寄生容量の電荷をそのコンデンサへ転送するための第2のMOS型トランジスタ(Q2)と、前記コンデンサの端子電圧を増幅するための第3のMOS型トランジスタ(Q3)と、その増幅された画素信号を選択的に出力させる第4のMOS型トランジスタ(Q4)とからなる光センサ回路にあって、画素信号を蓄積する前に第2のMOS型トランジスタをオンにするとともに、初期設定手段の電圧をローレベル状態として前記光センサ素子の寄生容量と前記コンデンサの端子電圧をローレベル状とし、一定時間の経過後に初期設定手段の電圧をハイレベル状態に切り換えて画素信号の蓄積を開始させたのち、一定の蓄積時間の経過後に第2のMOS型トランジスタをオフにして前記コンデンサをオープン状態としたうえで、第4のMOS型トランジスタをオンにするようにしたもので、残像の影響がなく、かつダイナミックレンジの広い対数出力を有

するシャッタ機能を実現できて、再現性の良い画素信号を得ることができるという利点を有している。

【図面の簡単な説明】

【図1】本発明による光センサ回路の一実施例を示す電気回路図である。

【図2】その一実施例における光センサ回路の各部信号のタイムチャートである。

【図3】本発明による光センサ回路の他の実施例を示す電気回路図である。

【図4】その他の実施例における光センサ回路の各部信号のタイムチャートである。

【図5】本発明による光センサ回路を1画素として二次元のマトリクス状に配設したときのイメージセンサの一構成例を示すブロック図である。

【図6】その一構成例におけるイメージセンサの各部信号のタイムチャートである。

【図7】本発明による光センサ回路を1画素として二次元のマトリクス状に配設したときのイメージセンサの他の構成例を示すブロック図である。

【図8】その他の構成例におけるイメージセンサの各部信号のタイムチャートである。

【図9】図1に示す光センサ回路を従来のように動作させたときの各部信号のタイムチャートである。

【図10】従来のシャッタ機能を有する光センサ回路の構成例を示す電気回路図である。

【図11】その従来の光センサ回路の動作時における各部信号のタイムチャートである。

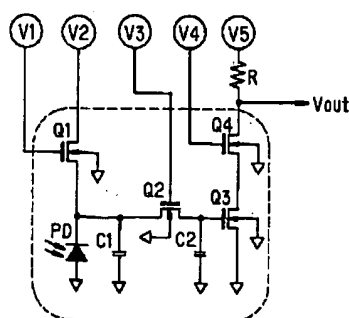
【図12】図1に示す光センサ回路を従来のように動作させたときのコンデンサC1およびコンデンサC2に蓄積される電荷の状態をモデル的に示す図である。

【図13】図10に示す光センサ回路を従来のように動作させたときのコンデンサC1およびコンデンサC2に蓄積される電荷の状態をモデル的に示す図である。

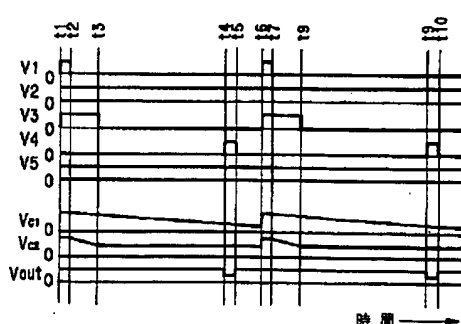
【符号の説明】

- 1 電圧コントローラ(初期設定手段)
- 2 画素選択回路
- 3 信号選択回路

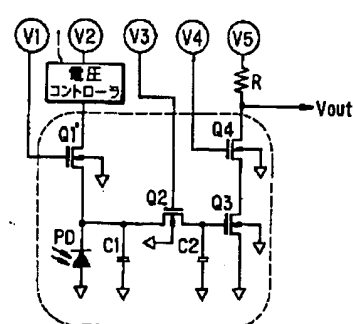
【図1】



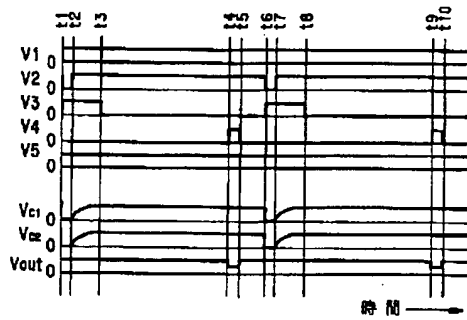
【図2】



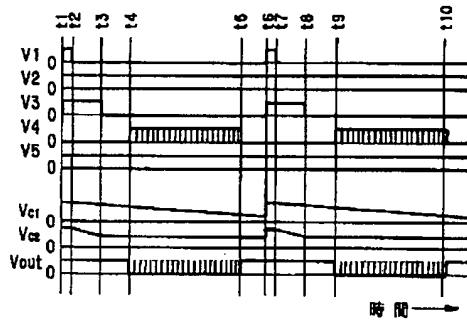
【図3】



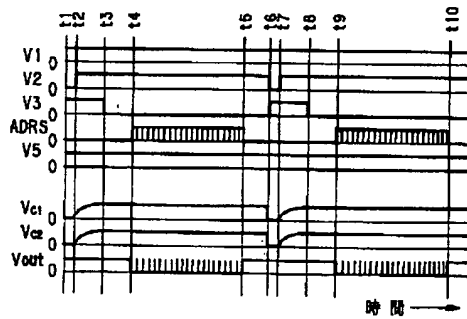
【図4】



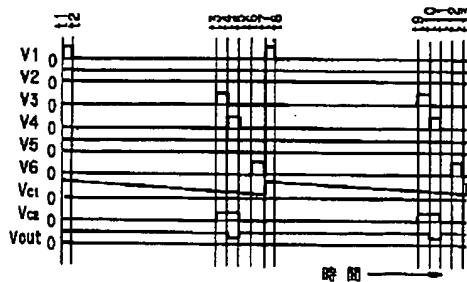
【図6】



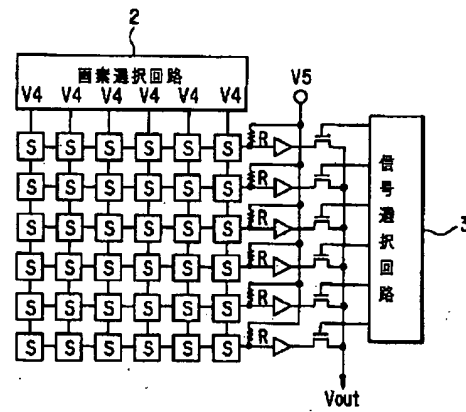
【図8】



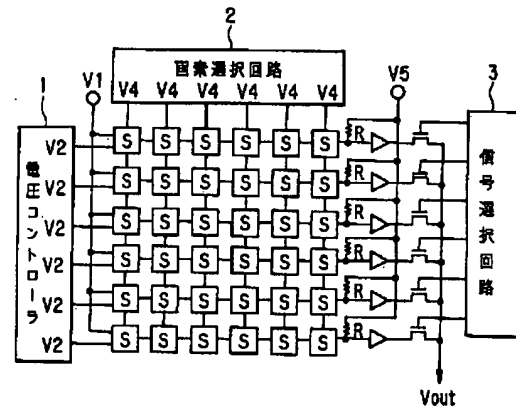
【図11】



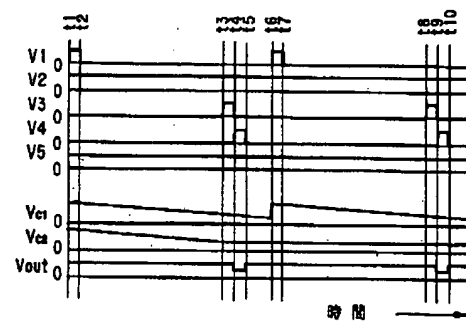
【図5】



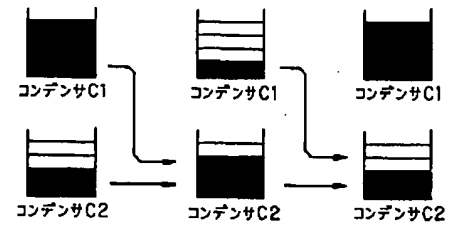
【図7】



【図9】



【図12】



【図13】

